

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-053460

(43)Date of publication of application : 01.03.1989

(51)Int.Cl.

H01L 29/78

(21)Application number : 62-209816

(71)Applicant : SONY CORP

(22)Date of filing : 24.08.1987

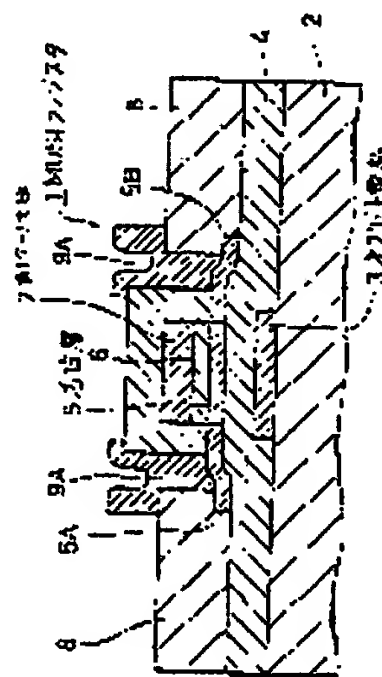
(72)Inventor : HAYASHI HISAO
NEGISHI MICHIO
NOGUCHI TAKASHI
OSHIMA TAKEFUMI
HAYASHI YUJI
MAEKAWA TOSHIOCHI
MATSUSHITA TAKESHI

(54) MOS TRANSISTOR

(57)Abstract:

PURPOSE: To increase the mobility so as to make an LSI or the like operational at higher speed by a method wherein the thickness of a semiconductor layer interposed between a pair of electrodes is made smaller than a specified value and one of gate insulating layers is made thicker than the other.

CONSTITUTION: A second gate electrode 3 formed of polycrystalline silicon is built on a quartz substrate 2 and a gate insulating layer 4 of SiO₂ is laminated on the exposed faces of the quartz substrate 2 and the second gate electrode 3. An active layer 5 of polycrystalline silicon semiconductor layer is so formed above the second gate electrode 3 provided in the gate insulating layer 4 as to be a super-thin film equal to or smaller than 100nm in thickness. An N⁺-type impurity is ion-implanted into both the sides of the active layer 5 for the formation of a source region 5a and 5b, and a gate electrode 7 formed out of polycrystalline silicon is built above the active layer 5 through the intermediary of a gate insulating layer 6 of SiO₂.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

⑫ 公開特許公報(A)

昭64-53460

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和64年(1989)3月1日

H 01 L 29/78

3 0 1

X-8422-5F

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 MOSトランジスタ

⑯ 特 願 昭62-209816

⑰ 出 願 昭62(1987)8月24日

⑱ 発 明 者	林 久 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	根 岸 三 千 雄	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	野 口 隆	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	大 嶋 健 文	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	林 祐 司	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	前 川 敏 一	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	松 下 孟 史	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 志賀 富士弥		

明 細 書

1. 発明の名称

MOSトランジスタ

2. 特許請求の範囲

半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、

前記半導体層の膜厚を100nm以下であり、且つ一方のゲート絶縁層が他方より厚いことを特徴とするMOSトランジスタ。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、半導体層を挟む一対のゲート電極を有するMOSトランジスタに関する。

[発明の概要]

本発明は、半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、

前記半導体層の膜厚を100nm以下であり、且つ一方のゲート絶縁層が他方より厚いことにより、

ゲート入力容量を変えずに移動度を著しく増加させ得るようにしたものである。

[従来技術]

従来、この種のMOSトランジスタとしては、一般に、3000～5000nm程度の薄膜半導体層を一対のゲート電極で挟んで対向するようにした、所謂両面ゲートMOSトランジスタが知られている。

[発明が解決しようとする問題点]

しかしながら、このような従来例のMOSトランジスタの移動度は表面移動度といわれ、第4図のバンド図の伝導帯端エネルギー単位 E_c をみるとわかるように、バンドが曲がっており、電子の通り道であるチャネルが表面に極在して狭くなっている、電子の自由行程における散乱が多いため、移動度 μ が小さいという問題点を有していた。

また、ゲート電極が一つのMOSトランジスタに比べて入力容量が大きくそのため素子特性を悪

化する問題点を有していた。

本発明は、このような従来の問題点に着目して創案されたものであって、移動度の大きいMOSトランジスタを得んとするものである。

〔問題点を解決するための手段〕

そこで、本発明は、半導体層を挟んで対向する一対のゲート電極を有するMOSトランジスタにおいて、前記半導体層の膜厚を100nm以下であり、且つ一方のゲート絶縁層が他方より厚いことを、その構成としている。

〔作用〕

半導体層が100nm以下であるため、一対のゲート電極の相互作用により、半導体層の伝導帯端エネルギー準位 E_c を下げて、チャネルを広くする。これにより、電子の自由行程における自由電子の散乱を少なくし電子の移動度 μ を大きくする。また、一方のゲート絶縁層が他方より厚いため、一方のゲート電極側の入力容量を小さくする。

にあつては、活性層5と第1ゲート電極7との距離よりも、活性層5と第2ゲート電極3との距離のほうが長くなっていて、第2ゲート電極3の仕事関数が小さくなるように設定されている。また、第2ゲート電極3のゲート長のほうが第1ゲート電極7のゲート長よりも長くなっている。

なお、図中、8はゲート絶縁層6と同様に SiO_2 でなる絶縁層であり、また、9A、9Bはアルミニウムで形成された取り出し電極であり、夫々、ソース領域5A、ドレイン領域5Bに接続されている。

本実施例にあつては、上述したように、活性層5の厚さを100nm以下にしたことにより、移動度 μ が著しく大きくなることが確認された。

第2図は、本実施例のMOSトランジスタにおける活性層5の膜厚とドレイン電流との関係を示すグラフである。このグラフ中、Aは第1ゲート電極7のみを用いた場合、Bは第2ゲート電極3を用いた場合、Cは両ゲート電極7、3を用いた場合を示したものであり、活性層5の厚さが10

〔実施例〕

以下、本発明に係るMOSトランジスタの詳細を図面に示す実施例に基づいて説明する。

第1図は本実施例に係るMOSトランジスタの概略断面図であつて、符号1はMOSトランジスタを示している。このMOSトランジスタ1においては、石英基板2に多結晶シリコン(Poly-Si)で第2ゲート電極3が形成されている。そして、石英基板2及び第2ゲート電極3の露呈面には、 SiO_2 から成るゲート絶縁層4が積層されている。ゲート絶縁層4における、前記第2ゲート電極3上方には、多結晶シリコンで半導体層である活性層5を超薄膜(100nm以下)となるように形成している。この活性層5の両側部はN⁺形不純物をイオン注入して、ソース領域5A及びドレイン領域5Bが形成されている。

さらに、活性層5の上方には、 SiO_2 でなるゲート絶縁層6を介して、多結晶シリコンでなる第1ゲート電極7を形成している。なお、本発明

0nm以下でCのドレイン電流がAとBの和よりも大きくなっている。即ち、第1ゲート電極7のみにより、活性層5に発生するチャネルと、第2ゲート電極3のみにより発生するチャネルとを夫々流れる電流の和よりも大きい電流が流れており、これは両電極7、3の電界の相互作用によりチャネルの移動度 μ を増大していることを示している。

また、第3図に示すバンド図に依れば、本実施例に係るMOSトランジスタにおける伝導帯端エネルギー準位置 E_c を変わす線がフェルミ準位 E_F (破線で示す)に近づき曲線が平坦になっており、移動度 μ 及び相互コンダクタンス g_m を増加させていることを示している。第3図及び第4図における E_i は、禁制帯の中心を示している。

なお、上記実施例にあつては、第2ゲート電極3を第1ゲート電極7に比較して活性層5からの距離を長くして、入力容量を小さく設定しており、通常のゲート電極が1つものと同程度の入力容量にしている。

以上、実施例について説明したが、この他各種

の設定変更が可能であり、例えば、第1ゲート電極7から活性層5までの距離（ゲート絶縁層6の厚さ）と、第2ゲート電極3から活性層5までの距離までの距離（ゲート絶縁層4の厚さ）とが同じであっても、もちろん上記実施例と同様に移動度 μ を増大することが出来る。

また、上記実施例にあつては、活性層5を多結晶シリコンで形成したが、単結晶のものを形成しても、もちろん良い。

[発明の効果]

以上の説明から明らかなように、本発明に係るMOSトランジスタにあつては、一対のゲート電極に挟まれる半導体層の膜厚を100nm以下にしたことにより、移動度 μ を著しく増大することが可能となり、例えばLSIなどの高速化を期する効果がある。

また、一方のゲート絶縁膜の厚さを他方のゲート絶縁膜の厚さよりも厚くしたことにより、一方の入力容量を小さくし、かつ相互コンダクタンス

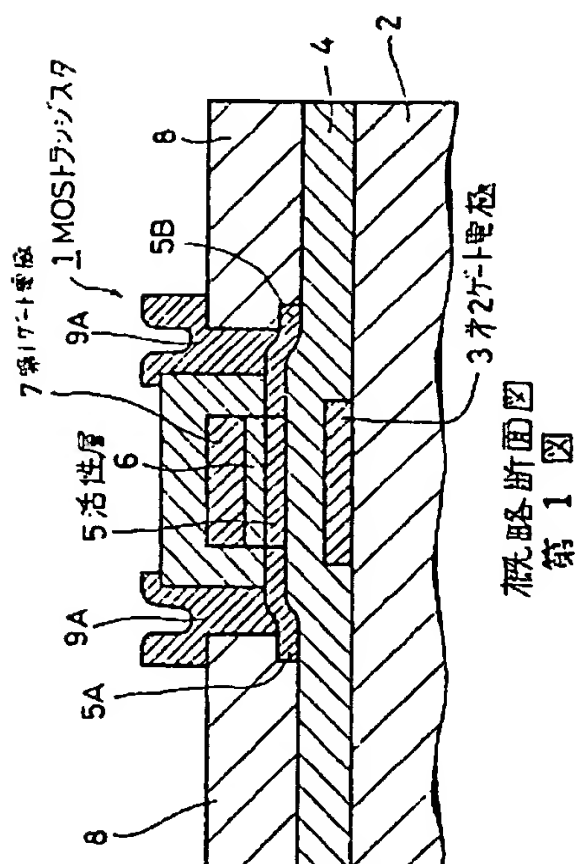
g_m を小さくする効果がある。

4. 図面の簡単な説明

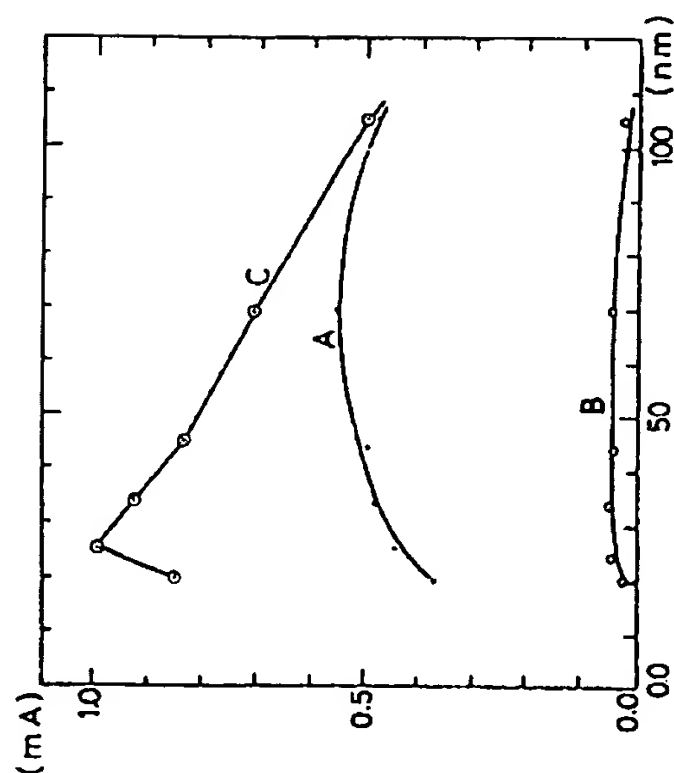
第1図は、本発明に係るMOSトランジスタの実施例を示す断面図、第2図は本実施例における活性層の厚さ—ドレイン電流の関係を示すグラフ、第3図は本実施例のMOSトランジスタのエネルギー状態を示すバンド図、第4図は従来例のエネルギー状態を示すバンド図である。

1…MOSトランジスタ、3、7…第2、第1ゲート電極、5…活性層。

代理人 志賀富士弥

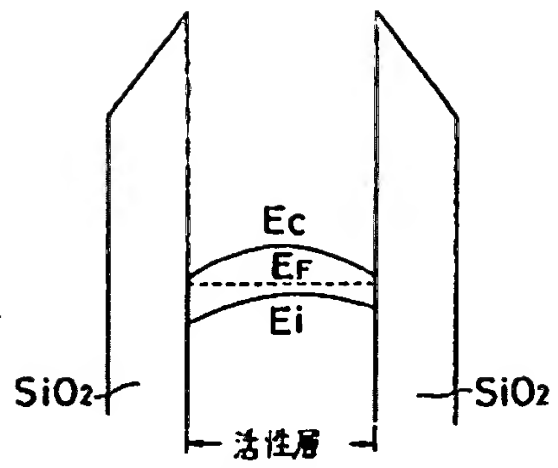


概略断面図
第1図

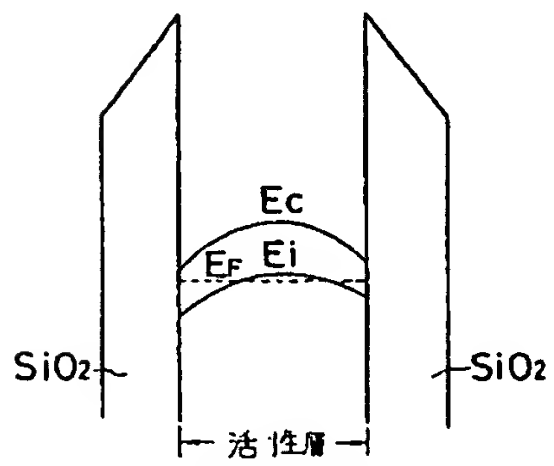


活性層の厚さ—ドレイン電流の関係を示すグラフ

第2図



本発明に係るバンド図
第3図



従来のバンド図
第4図